

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-167630  
 (43)Date of publication of application : 25.06.1996

(51)Int.Cl.

H01L 21/60  
 H01L 23/28  
 H01L 23/29  
 H01L 23/31  
 H05K 1/18  
 H05K 3/32  
 // H05K 1/11

(21)Application number : 06-311518  
 (22)Date of filing : 15.12.1994

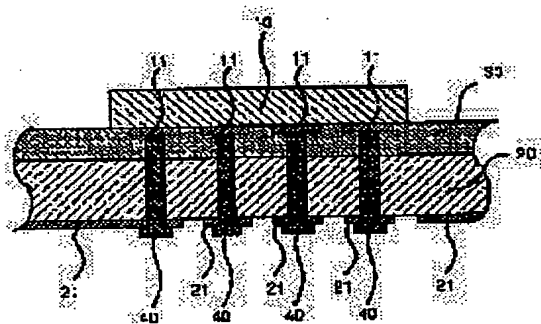
(71)Applicant : HITACHI LTD  
 (72)Inventor : TOKUDA MASAHIDE  
 KATO TAKESHI  
 ITOU HIROYUKI  
 YAGYU MASAYOSHI  
 FUJITA YUJI  
 USAMI MITSUO

## (54) CHIP CONNECTION STRUCTURE

## (57)Abstract:

**PURPOSE:** To provide means for enabling a high density mounting, high density connection, high speed signal transmission, high reliability and low cost for a connection structure of an integrated circuit chip to an interconnection substrate.

**CONSTITUTION:** A flip chip die bonding is made to bond an integrated circuit chip 10 to an interconnection substrate 20 with an adhesive film 30, and connection pads 11 are directly coupled with an interconnection 21 through direct through-hole connections 40 piercing the film 30 and substrate 20 from beneath the pads 11, thus mounting the chip at a high density by reducing the area and thickness. A high density input/out is made by a two-dimensional arrangement of fine connections whereby high-speed signals are transmitted by short wiring connections directly coupled with the chip, high reliability is ensured by the stress dispersion, and low-cost mounting can be made by convenient process facilities.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-167630

(43) 公開日 平成8年(1996)6月25日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	7726-4E		
23/28	B	6921-4E		
23/29				
23/31				
		6921-4E	H 0 1 L 23/ 30	D
		審査請求	未請求	請求項の数25 O L (全 18 頁) 最終頁に続く

(21) 出願番号 特願平6-311518

(22) 出願日 平成6年(1994)12月15日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 徳田 正秀

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 加藤 猛

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 以頭 博之

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74) 代理人 弁理士 小川 勝男

最終頁に続く

(54) 【発明の名称】 チップ接続構造

(57) 【要約】

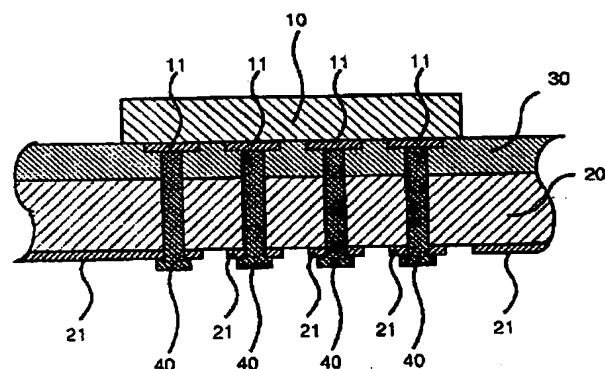
【目的】 本発明は集積回路チップと配線基板の接続構造に関して、高密度実装、高密接続、高速信号伝送、高信頼性、低コストを可能とする手段を提供する。

【構成】 集積回路チップ(10)を接着フィルム(30)によって配線基板(20)にフリップチップダイボンディングし、接続パッド(11)の直下から接着フィルム(30)と配線基板(20)を貫通するダイレクトスルーホールコネクション(40)によって接続パッド(11)と配線(21)を直結する。

【効果】 面積及び厚さの低減によりチップを高密度に実装し、二次元配列の微細な接続により高密度の入出力を行ない、チップに直結する短い配線接続により高速な信号を伝送し、応力分散により高い信頼性を保証し、簡易なプロセス設備により低コストの実装を行なえる効果がある。

図1

1



【特許請求の範囲】

【請求項1】集積回路と接続パッドを有する集積回路チップと、

配線を有する配線基板と、

前記集積回路チップを前記配線基板にフリップチップダイボンディングする接着フィルムと、

前記接続パッドから直接に前記接着フィルムと前記配線基板を貫通し、前記接続パッドを前記配線に接続するダイレクトスルーホールコネクションと、  
を有することを特徴とするチップ接続構造。

【請求項2】請求項1記載のチップ接続構造において、前記ダイレクトスルーホールコネクションは鍍金されて成ることを特徴とするチップ接続構造。

【請求項3】請求項1記載のチップ接続構造において、前記配線基板及び前記接着フィルムは、ポリマ基材から成ることを特徴とするチップ接続構造。

【請求項4】請求項1記載のチップ接続構造において、前記接着フィルムは高温流動性と熱硬化性を有するポリマを含んで成ることを特徴とするチップ接続構造。

【請求項5】請求項1記載のチップ接続構造において、前記ダイレクトスルーホールコネクションは前記接続パッドのサイズ以下の直径を有することを特徴とするチップ接続構造。

【請求項6】請求項1記載のチップ接続構造において、前記配線基板は前記ダイレクトスルーホールコネクションの直径の倍以下の厚さを有することを特徴とするチップ接続構造。

【請求項7】請求項1記載のチップ接続構造において、前記配線基板は低誘電率ポリイミド基板から成り、前記配線及び前記ダイレクトスルーホールコネクションは銅から成ることを特徴とするチップ接続構造。

【請求項8】請求項1記載のチップ接続構造において、前記配線基板は、前記集積回路チップに概ね等しい熱膨張係数を有することを特徴とするチップ接続構造。

【請求項9】請求項1記載のチップ接続構造において、前記接着フィルムは、前記集積回路チップと前記配線基板より低い剛性率を有することを特徴とするチップ接続構造。

【請求項10】請求項1記載のチップ接続構造において、前記配線基板は1層のフィルムから成り、該配線基板の少なくとも一方の表面に前記配線を有することを特徴とするチップ接続構造。

【請求項11】請求項10記載のチップ接続構造において、前記配線基板は、前記集積回路チップ側と反対側の表面にコプレーナ信号配線を有することを特徴とするチップ接続構造。

【請求項12】請求項10記載のチップ接続構造において、

前記配線基板は、一方の表面に給電配線を有し、もう一方の表面にマイクロストリップ信号配線を有することを特徴とするチップ接続構造。

【請求項13】請求項1記載のチップ接続構造において、

前記配線基板は、多層配線フィルムまたは多層プリント配線基板から成ることを特徴とするチップ接続構造。

【請求項14】請求項1記載のチップ接続構造において、

10 前記集積回路チップは、前記集積回路と前記接続パッドを有する表面とは反対側の表面から機械的ポリッシングまたは化学的エッチングにより薄く加工されて成ることを特徴とするチップ接続構造。

【請求項15】請求項14記載のチップ接続構造において、

前記集積回路チップはシリコンオンインシュレータチップから成ることを特徴とするチップ接続構造。

【請求項16】請求項1記載のチップ接続構造において、

20 前記配線に接続される入出力リードと、  
前記接着フィルムの少なくとも一部と前記集積回路チップを取り囲む被覆と、  
を有することを特徴とするチップ接続構造。

【請求項17】複数のチップキャリアと、  
該チップキャリアを積層する第1の接着フィルムと、  
前記チップキャリアと前記第1の接着フィルムを貫通し、前記チップキャリアを相互に接続するスルーホールコネクションと、

を有するチップ接続構造であって、

30 前記チップキャリアは、  
接続パッドを有する集積回路チップと、  
前記スルーホールコネクションに接続される第1の配線を有する配線基板と、  
前記集積回路チップを前記配線基板にフリップチップダイボンディングする第2の接着フィルムと、  
前記接続パッドから直接に前記第2の接着フィルムと前記配線基板を貫通し、前記接続パッドを前記第1の配線に接続するダイレクトスルーホールコネクションと、

40 有することを特徴とするチップ接続構造。

【請求項18】請求項17記載のチップ接続構造において、

第2の配線と該第2の配線に接続される入出力ピンとを有するパッケージベースと、

該パッケージベースに前記チップキャリアを接着する第3の接着フィルムと、

前記第2の配線に接続される前記スルーホールコネクションと、

50 前記パッケージベースの少なくとも一部と前記チップキャリアを取り囲む被覆と、

を有することを特徴とするチップ接続構造。

【請求項19】請求項18記載のチップ接続構造において、前記入出力ピンはボールグリッドアレイから成ることを特徴とするチップ接続構造。

【請求項20】請求項17記載のチップ接続構造において、

前記第1の配線に接続される入出力リードと、該入出力リードの一部と前記チップキャリアを取り囲む被覆と、

を有することを特徴とするチップ接続構造。

【請求項21】請求項17記載のチップ接続構造において、

前記集積回路チップの少なくとも一つはメモリチップから成ることを特徴とするチップ接続構造。

【請求項22】請求項21記載のチップ接続構造において、

前記集積回路チップの少なくとも一つはマイクロプロセッサチップから成ることを特徴とするチップ接続構造。

【請求項23】請求項17記載のチップ接続構造において、

前記集積回路チップの少なくとも一つは終端抵抗回路チップから成ることを特徴とするチップ接続構造。

【請求項24】請求項17記載のチップ接続構造において、

前記チップキャリアの上部、下部または中間部に配置されるコンデンサフィルムを有することを特徴とするチップ接続構造。

【請求項25】請求項17記載のチップ接続構造において、

前記チップキャリアの上部、下部または中間部に熱伝導基板を有することを特徴とするチップ接続構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、集積回路チップと配線基板との接続構造に係り、特に高密度、高性能且つ低コストの実装に適したチップ接続構造に関する。

【0002】

【従来の技術】従来の集積回路チップと配線基板を接続する技術は、例えば、マルチチップモジュールテクノロジーズアンドオルタナティブスザベイシックス、ニューヨーク、ヴァンノストランドレインホルド、1993年(Multichip Module Technologies and Alternatives: The Basics, New York, Van Nostrand Reinhold, 1993)に記載されている。

【0003】代表的なチップ接続技術としては、ワイアボンディング(Wire Bonding)、テープ

オートメテッドボンディング(Tape Automated Bonding)、フリップチップソルダバンプ(FlipChip Solder Bump)、ハイデンシティインタコネクト(High Density Interconnect)等の技術が広く知られている。

【0004】ワイアボンディング(WB)は、集積回路チップと配線基板を金属ワイアにより接続する技術であり、最も古くから広汎に用いられている。図7(A)に示すように、チップ710の周辺にレイアウトされたボンディングパッド711は、ワイア712によって基板714のボンディングパッド713に接続される。

【0005】テープオートメテッドボンディング(TAB)は、金属配線が形成されたTABテープによりチップと基板を接続する技術である。図7(B)に示すように、TABテープ724のインナリード723は、チップ720の周辺のI/Oパッド721の上に形成されたバンプ722に接続される。テープ724のアウタリード725は、基板726のI/Oパッド727に接続される。TABはWBよりも多ピン、狭ピッチのチップ接続が可能であり、WBの次に広く用いられている。

【0006】フリップチップソルダバンプ(FCSB)は、球状のソルダバンプによってチップと基板を接続する技術である。図7(C)に示すように、チップ730は、回路が形成された表面をアップサイドダウンにして、基板734に裏返しで搭載される。チップ730のI/Oパッド731と基板734のI/Oパッド733とは、ソルダバンプ732によって接続される。FCSBは、チップ730の周辺だけではなく、エリアアレイレイアウトを行なうことが可能であり、TABより更に多ピン、高速のチップ接続に用いられている。

【0007】ハイデンシティインタコネクト(HDI)は、チップと基板の表面に薄膜配線をラミネートする技術である。図7(D)に示すように、チップ740は基板748のキャビティ749の内部にマウントされる。チップ740と基板748の表面に絶縁フィルム742、744のオーヴァレイを形成し、その上にヴィアホール746、747と配線743、745を順次形成していく。チップ740のI/Oパッド741と配線743、745は、ヴィアホール746、747によって接続される。HDIは、より狭ピッチ、高速のチップ接続に用いられる。

【0008】

【発明が解決しようとする課題】高速コンピュータから携帯端末までの様々なプロセッサにおいて、コスト/パフォーマンスの向上とダウンサイジングが強く求められている。特にメモリは、ハードウェアを構成するボード

やカードにおいて多くの実装面積を占めており、メモリモジュールの大容量且つ小型化と低コスト化が非常に重要な課題となっている。また、ICカード等のパーソナル機器では、低面積化に加えて薄型化も求められる。

【0009】これに伴い、集積回路チップと配線基板の接続では、実装密度の向上、電氣的及び機械的な性能の向上、設備及び実装のコストの削減が一層必要になってきている。マイクロプロセッサチップや、ダイナミックランダムアクセスメモリ、スタティックランダムアクセスメモリ等のメモリチップは、今後とも高速化、大面積化、多ピン化する傾向にある。これらの傾向を踏まえて、上記の課題をいかに解決するかが本発明の命題である。

【0010】従来のチップ接続技術は、上記文献の中でも詳しく述べられているように、上記の幾つかの課題に対して一長一短がある。一つの課題に関しては解を持ち得るが、他の課題に関しては適当ではない。個々の課題に対する従来技術による解決策は、互いにトレードオフである。

【0011】実装密度の点では、上記従来技術のうちWBとTABは、FCSBやHDIに比べて実装面積が大きくなるという問題がある。WBは、図7(A)に示すように、チップ710自身のフットプリントに加えて、チップ周囲にワイア712のボンディングエリアを余分に必要とするからである。TABは、図7(B)に示すように、インナリード723からアウトリード725へ拡大するテープエリア724と、アウトリード725のボンディングエリアが必要になる。通常、WBよりTABの方が実装面積が大きい。

【0012】厚さに関する高密度化の点では、化学的エッチングや機械的ポリッシングによりチップ自身を薄くする試みがなされている。しかし、WBはワイアのボンディング(図7(A)のワイア712)のため、FCSBは溶ダンプ(図7(C)のバンプ732)のために所定の厚さを要するので、薄型化には適していない。

【0013】接続数としては、WBやTABはチップの周辺からしか接続を行えない。チップの表面から二次元的に接続を行なうFCSBやHDIに比べて、接続数には限界がある。WBやTABは実装面積が大きいことを勘案すると、接続密度の点でも問題がある。

【0014】電氣的性能については、WBやTABは、FCSBやHDIに比べて高速信号伝送に適さない。WBやTABは、図7Aや図7Bから分かるように、チップのパッドと基板のパッドとの接続が長くなり、抵抗やインダクタンスが大きくなるという問題がある。コンベンショナルな1層TABの代わりにショートTABや2層TABを用いれば高性能になるものの、コストが高くなるという問題が生じる。

【0015】機械的性能、特に熱応力や外部応力に対す

る信頼性に関して、FCSBは他の技術に比べて慎重なデザインを必要とする。WBやTABでは図7(A)や図7(B)に示したワイア712やテープ724で応力を吸収することが可能であるが、FCSBでは図7(C)に示した溶ダンプ732、特に外周部のバンプに応力が集中する。最悪の場合には、バンプが破断する危険性がある。バンプを補強するため、バンプ間のスペースに樹脂を充填する方法があるが、余分なプロセスコストが生じる。

【0016】コストの点では、WBが最も低コストである。TAB、FCSB、HDIは、設備や接続プロセス等のコストが高いという問題がある。TABの設備は、狭ピッチの接続を行なうため、非常に高価なものになる。FCSBは、チップや設備のインフラストラクチャがまだあまり整備されておらず、自動化がWB、TAB程に進んでいない。また、TABとFCSBは、チップまたは基板にバンプを形成するプロセスを必要とし、チップに専用の設計が求められる。TABは、さらにテープの製作コストを要する。HDIでは、図7(D)に示すように、チップと基板の表面に逐次フィルム742、744と配線743、745を積み重ねていく手間のかかるプロセスを要する。また、HDIのリワークは非常に困難且つ複雑であり、HDIは従来技術の中で最もコストが高い。

【0017】以上、従来の代表的なチップ接続技術について述べた。従来技術はそれぞれ特長を有しており、それぞれにバリエーションが考えられるが、我々の幾つかの課題に対して総合的に満足できる解決を与えるものではない。そこで、本発明は、高密度、高性能、低コストのチップ接続技術を提供することを狙いとする。

【0018】本発明の第1の目的は、WBやTABに比べて配線基板に対する集積回路チップの実装面積を低減し、WBやFCSBに比べて薄型化を可能とし、WBやTABに比べて多数の入出力を行ない、WBやTABに比べて高速な信号を伝送する能力を有し、FCSBに比べて信頼性を容易に確保し、TAB、FCSB、HDIに比べて設備やプロセスのコストを削減し得る、基本的なチップ接続構造を提供することにある。

【0019】本発明の第2の目的は、上記第1の目的に加えて、チップの接続パッドと基板の配線との接続を低コスト且つ容易に形成する手段を提供することにある。

【0020】本発明の第3の目的は、上記第1の目的に加えて、チップ接続構造に適した基板材と、基板へのチップのボンディング材とを提供することにある。

【0021】本発明の第4の目的は、上記第1の目的に加えて、ボンディングを容易に行なえる材料構成を提供することにある。

【0022】本発明の第5の目的は、上記第1の目的に加えて、パッドサイズに適した、パッドと基板間の接続を提供することにある。

【0023】本発明の第6の目的は、上記第1の目的に加えて、基板サイズに適した接続を提供することにある。

【0024】本発明の第7の目的は、上記第1の目的に加えて、高速信号伝送に適した基板と配線と接続を提供することにある。

【0025】本発明の第8の目的は、上記第1の目的に加えて、温度環境に対する信頼性を向上し得る基板を提供することにある。

【0026】本発明の第9の目的は、上記第1の目的に加えて、温度や外力に対する信頼性を向上し得るボンディングを提供することにある。

【0027】本発明の第10の目的は、上記第1の目的に加えて、低コスト化と薄型化に適した基板と配線を提供することにある。

【0028】本発明の第11の目的は、上記第10の目的に加えて、配線と接続の密度が比較的小さい場合における低コストの高速信号配線を提供することにある。

【0029】本発明の第12の目的は、上記第10の目的に加えて、配線と接続の密度が比較的大きい場合における高速信号配線を提供することにある。

【0030】本発明の第13の目的は、上記第1の目的に加えて、配線と接続の密度が大きい場合における低コストな基板を提供することにある。

【0031】本発明の第14の目的は、上記第1の目的に加えて、チップを薄く形成する手段を提供することにある。

【0032】本発明の第15の目的は、上記第14の目的に加えて、チップを極めて薄く容易に形成する手段を提供することにある。

【0033】本発明の第16の目的は、上記第1の目的に加えて、チップと基板を薄くパッケージングする手段を提供することにある。

【0034】本発明の第17の目的は、基板面積に対するチップの実装密度をさらに向上し、尚且つ薄型化を可能とし、高速信号の伝送能力を有し、信頼性を確保し、コスト上昇を抑制し得る、基本的なチップ接続構造を提供することにある。

【0035】本発明の第18の目的は、上記第17の目的に加えて、入出力ピンが比較的多い場合における実装面積の小さいパッケージング手段を提供することにある。

【0036】本発明の第19の目的は、上記第18の目的に加えて、パッケージから多数の入出力ピンを取り出す手段を提供することにある。

【0037】本発明の第20の目的は、上記第17の目的に加えて、薄型で低コストのパッケージング手段を提供することにある。

【0038】本発明の第21の目的は、上記第17の目的に加えて、高密度実装に適したチップの構成を提供す

ることにある。

【0039】本発明の第22の目的は、上記第21の目的に加えて、高い機能を有するチップの構成を提供することにある。

【0040】本発明の第23の目的は、上記第17の目的に加えて、高速信号の送受信に適したチップの構成を提供することにある。

【0041】本発明の第24の目的は、上記第17の目的に加えて、電源ノイズを抑制する手段を提供することにある。

【0042】本発明の第25の目的は、上記第17の目的に加えて、チップの温度上昇を抑える手段を提供することにある。

【0043】

【課題を解決するための手段】本発明のチップ接続構造は、上記第1の目的を達成するため、集積回路チップを配線基板に接着フィルムによってフリップチップダイボンディング(Flip Chip Die Bonding、以下FCDBと略記)し、チップの接続パッドの直下から接着フィルムと配線基板を貫通するダイレクトスルーホールコネクション(Direct Through-hole Connection、以下DTCと略記)によってパッドと基板の配線とを接続したものである。

【0044】また、本発明は、上記第2の目的を達成するため、上記第1の手段において、接続パッド直下のスルーホールを鍍金することによりパッドと配線を接続するDTCを構成したものである。

【0045】また、上記第3の目的を達成するため、上記第1の手段において、ポリマ基材から成る配線基板と接着フィルムを用いたものである。

【0046】また、上記第4の目的を達成するため、上記第1の手段において、高温流動性と熱硬化性を有するポリマを含む接着フィルムを用いたものである。

【0047】また、上記第5の目的を達成するため、上記第1の手段において、パッドサイズ以下の直径を有するDTCを設けたものである。

【0048】また、上記第6の目的を達成するため、上記第1の手段において、DTCの直径の倍以下の厚さを有する配線基板を設けたものである。

【0049】また、上記第7の目的を達成するため、上記第1の手段において、低誘電率ポリイミド配線基板に、銅から成る配線とDTCを設けたものである。

【0050】また、上記第8の目的を達成するため、上記第1の手段において、チップに概ね等しい熱膨張係数を有する配線基板を用いたものである。

【0051】また、上記第9の目的を達成するため、上記第1の手段において、チップや基板より柔軟な接着フィルムを用いたものである。

【0052】また、上記第10の目的を達成するため、

上記第1の手段において、1層のフィルムから成る配線基板を用いて、その少なくとも一方の表面に配線を設けたものである。

【0053】また、上記第11の目的を達成するため、上記第11の手段において、チップと反対側の基板表面にコプレーナ信号配線を設けたものである。

【0054】また、上記第12の目的を達成するため、上記第11の手段において、基板の一方の表面に給電配線を設け、もう一方の表面にマイクロストリップ信号配線を設けたものである。

【0055】また、上記第13の目的を達成するため、上記第1の手段において、多層配線フィルムまたは多層プリント基板から成る配線基板を用いたものである。

【0056】また、上記第14の目的を達成するため、上記第1の手段において、背面から機械的ポリッシングまたは化学的エッチングにより薄く加工されたチップを用いたものである。

【0057】また、上記第15の目的を達成するため、上記第14の手段において、シリコン オン インシュレータ チップを用いたものである。

【0058】また、上記第16の目的を達成するため、上記第1の手段において、接着フィルムの少なくとも一部とチップを被覆で覆って、配線に接続される入出力リードを設けたものである。

【0059】また、上記第17の目的を達成するため、複数のチップキャリアを第1の接着フィルムによって積層し、チップ キャリアと第1の接着フィルムを貫通するスルーホール コネクションによってチップ キャリアを相互に接続したものである。さらに、チップキャリアでは、チップと配線基板のFCDBを第2の接着フィルムによって行ない、第2の接着フィルムと配線基板を貫通するDTCによってパッドと基板の配線とを接続したものである。

【0060】また、上記第18の目的を達成するため、上記第17の手段において、第3のフィルムによってチップ キャリアをパッケージ ベースに接着し、第2の配線に接続されたスルーホール コネクションを介してチップ キャリアと入出力ピンを接続し、パッケージ ベースの少なくとも一部とチップ キャリアを被覆したものである。

【0061】また、上記第19の目的を達成するため、上記第18の手段において、ボールグリッド アレイから成る入出力ピンを用いたものである。

【0062】また、上記第20の目的を達成するため、上記第17の手段において、入出力リードを設けて、このリードの一部とチップ キャリアを被覆したものである。

【0063】また、上記第21の目的を達成するため、上記第17の手段において、チップの少なくとも一つをメモリ チップにより構成したものである。

【0064】また、上記第22の目的を達成するため、上記第21の手段において、その他の少なくとも一つをマイクロプロセッサ チップにより構成したものである。

【0065】また、上記第23の目的を達成するため、上記第17の手段において、チップの少なくとも一つに終端抵抗回路を設けたものである。

【0066】また、上記第24の目的を達成するため、上記第17の手段において、チップキャリアの上部、下部または中間部にコンデンサ フィルムを設けたものである。

【0067】また、上記第25の目的を達成するため、上記第17の手段において、チップキャリアの上部、下部または中間部に熱伝導基板を設けたものである。

【0068】

【作用】上記第1の手段による基本的なチップ接続構造では、FCDBによって集積回路チップが配線基板に機械的に接着され、DTCによってチップの接続パッドと配線基板の配線が直結される。FCDB且つDTCは、従来技術であるWB、TAB、FCSB、HDIのいずれの範疇にも属しておらず、新しいチップ接続構造を呈している。

【0069】FCDBの実装面積は、チップ自身のフットプリントに等しい。DTCはチップの直下で行なわれるので、WBのようなボンディング エリアやTABのようなテープ エリアは不要となる。

【0070】また、DTCは配線基板と非常に薄い接着フィルムの内部に形成されるので、基板表面からチップ背面までの高さはチップの厚さにほぼ等しくなる。WBのボンディングやFCSBのバンブのように、余分な高さを必要としない。

【0071】さらに、DTCはHDIと同程度に微細なピッチで形成されて、チップの表面全体から二次元的に取り出されるので、WBやTABのようにチップの四辺から接続する場合に比べて接続数が制限されない。

【0072】DTCの信号伝送性能は、FCSBやHDIに対して遜色ない。DTCはパッドと配線を直結するので、接続長が長いWBやTABのように抵抗やインダクタンスが大きくなることがない。

【0073】FCDBでは、チップの表面全体が接着フィルムにより基板に固着されるので、DTCに熱応力や外部応力が集中することがない。FCSBのバンブのように破断が生じることがなくなる。

【0074】DTCは、プリント配線基板等の製作工程で一般的に行なわれている廉価なプロセスを用いて、基板と接着フィルムに加工されたスルーホールをメタライズすることにより形成される。FCDBの接着フィルムは基板と同時に供給されるので、TABのように別個にテープを供給してやる必要はない。また、DTCのメタライゼーションと同時にパッドと配線の接続が完了する

ので、TABやFC SBのようにバンパを形成し、さらにチップを接続するという二段階プロセスを行なわなくてよい。DTCが接続される配線は基板に予め形成されており、HDIのようにチップと基板の上に配線層を逐次堆積するプロセスは不要である。

【0075】次に、上記第2の手段では、FCDBにより固着されたチップと基板を鍍金溶液槽に浸し、スルーホールをメタライズすることにより、DTCが形成される。TABやFC SBにおける真空蒸着によるバンパ形成のように高価な設備を必要とせず、パッチ処理のスルー

ブットが制限されることがない。

【0076】上記第3の手段では、プリント配線基板やフレキシブル配線フィルムのようなポリマー ラミネート基板に、ポリマー接着フィルムによってチップが固定される。ポリマー基材は工業的に広く利用されており、FCDBの接着やその前後でのDTCのスルーホール加工を行なうために特殊なインフラストラクチャを必要としない。ポリマーは、混合や添加によって厚膜セラミック基板やシリコン基板等よりも材料設計の幅を広くとれる。また、ポリマー接着フィルムは絶縁性を有している

ので、FCDBを半田により行なう場合のようにDTCが短絡することはない。

【0077】上記第4の手段では、加熱によって接着フィルムが変形し、フィルム上にフリップチップで搭載されたチップに馴染む。その後、熱硬化性により接着フィルムが固まり、FCDBが行なわれる。FCDBの前に予めこの接着フィルムを基板上に供給する際には、通常の液体接着剤のように流動していないので、液垂れ等を起こすことはない。

【0078】上記第5の手段では、DTCを形成する、または形成すべき位置の上に接続パッドが重なるように位置合わせが行なわれ、チップが基板に固定される。DTCの直径がパッドに等しい場合のように、位置合わせのトレランスが狭まることなく、DTCの形成時にパッド周囲のチップのバッシベーションを劣化させたり、隣接するDTC同士が短絡することがない。

【0079】上記第6の手段では、アスペクト比が2以下のDTCが基板に形成される。アスペクト比が大きい場合のように、スルーホールの奥のメタライゼーションに困難を来すことはなく、パッドと配線の接続不良が生

じることがない。

【0080】上記第7の手段では、銅/ポリイミド基板によりチップの入出力信号が伝送される。この基板はエポキシ基板やセラミック基板より誘電率が小さく、タングステンやモリブデンより配線抵抗が小さいので、信号の伝播ディレイと減衰が抑えられる。

【0081】上記第8の手段では、チップの熱膨張係数に近付くように、基板材料が選択される。場合により、基材への低熱膨張フィラーの混入等が行なわれる。チップと基板の熱膨張差により発生する応力が低減されるの

で、長期的疲労によるFCDBの剥離やDTCの断線が生じることがない。

【0082】上記第9の手段では、接着フィルムとして剛性率の低い材料が選択される。温度変化による熱応力、または外部から加わる応力が接着フィルムによって吸収されて緩和されるので、FCDBやDTCが破壊されることがない。

【0083】上記第10の手段では、予め配線が表面に形成された単層フィルム基板に対して、FCDBが行なわれる。単層フィルムは薄く、フレキシブルであり、厚膜セラミック基板や薄膜シリコン基板のように機械的強度を保つために厚くする必要はない。また、多層フィルム基板のように層同士の位置合わせを行なう必要がなく、大型または長尺のフィルムを用いることが可能になる。

【0084】上記第11の手段では、配線フィルムの下

面、すなわちFCDBとDTCが完了したチップ接続構造の底面にコプレーナ配線が露出される。信号配線の間に給電配線が設けられるので、クロストークが低減される。また、接着フィルム側に配線を形成する場合のように、チップの検査や入出力ピンの接続を行なうために接着フィルム側から逆側の表面に達するスルーホールを形成する必要がない。

【0085】上記第12の手段では、マイクロストリップ信号配線層と給電層が配線フィルムの両面に配分される。信号配線の近傍に参照面があるので、クロストークが抑えられ、コプレーナ配線のように信号配線間に給電配線を設けるために配線ピッチを広げる必要がない。

【0086】上記第13の手段では、基板の複数の配線層にDTCが接続される。単層フィルムのように、配線やこれに接続するDTCの数が制限されることがない。

【0087】上記第14の手段では、チップの裏面がエッチングやポリッシングにより除去される。ウエハから切り出したチップをそのまま用いる場合のように、回路動作に寄与しない余分な部分によってチップが厚くなる

ことがない。

【0088】上記第15の手段では、シリコン オン インシュレータ チップのアクティブ層とインシュレータ層を残して、それ以外の部分が化学的にエッチングされる。インシュレータ層がエッチング ストップバとして働くので、厚さを精密に制御する必要がなくなる。

【0089】上記第16の手段では、チップとその周囲の接着フィルムを被覆して封止することにより、チップがパッケージングされる。チップとは別体のパッケージに収める必要がなくなり、部品点数が減る上、厚くなることを回避できる。

【0090】上記第17の手段によるチップ接続構造では、チップがチップ キャリア基板上にFCDBによって接着され、チップのパッドが基板の配線にDTCによ



三次元的に積み重ねられ、キャリア同士はスルーホールコネクションによって接続される。

【0091】この構造ではチップ キャリアが積層されるので、実装面積としてはチップキャリア1個分のフットプリントしか必要ではない。スルーホールコネクションは、積み重ねたキャリアを上下に貫通するスルーホールを加工し、これを一般的な方法でメタライズすることにより形成される。配線層が比較的少ない薄いキャリア基板を用いれば、積層構造全体の高さが低くなる。これに伴い、スルーホールの直径が小さくなるので、DTCからスルーホールコネクションまでの配線が長くなることはない。

【0092】上記第18の手段では、積層されたチップキャリアの底面側にあるパッケージベースから入出力ピンが取り出される。チップのパッドはDTC、キャリア基板の配線、スルーホールコネクション、ベースの配線を経て入出力ピンに接続される。入出力ピンはベース裏面に二次元的に配列されるので、積層構造の外周に配列する場合のように実装面積を増加させることがなく、ピン数が制限されない。

【0093】上記第19の手段では、パッケージベースの裏面に格子状に配列されたソルダボールから、チップの入出力が行なわれる。ボールは、針状のピンに比べて接続ピッチを小さく抑えられる。また、ベースとしてプリント基板を採用し得るので、セラミックピングリッドアレイのようにコスト負担が重くなることはない。

【0094】上記第20の手段では、積層構造の表層または裏層にあるキャリア基板にリードフレームが接続され、パッケージングのため被覆が施される。構造全体の高さはチップキャリアの厚さと被覆によって決まるので、パッケージベース等のその他の構造部品による高さの増加は生じない。また、部品点数が少ないことにより、不要なコストを抑えられる。

【0095】上記第21の手段では、各層のメモリチップに、パッド、DTC、基板配線、スルーホールコネクションを介して、アドレス線とデータ線が配線される。メモリ同士は互いに共通する配線が多いので、基板の配線本数が少なくてもよく、薄い基板が用いられる。積層構造が薄くなる上、これを貫通するスルーホールコネクションの直径とピッチが小さくなる。各層のチップに互いに異なる配線を行なう場合のように、基板が厚くなり、スルーホールコネクションを擁する領域が広がって積層構造の実装面積が増えることがない。

【0096】上記第22の手段では、メモリチップと共にマイクロプロセッサチップが積層される。マイクロプロセッサの直上または直下にメモリが配置されるので、両者を接続する配線が非常に短くて済み、平面的に並べる場合のように伝播遅延時間が問題になることはない。

【0097】上記第23の手段では、チップ キャリア積層構造の中に終端抵抗回路チップが設けられる。このチップにより他のチップの入出力信号が終端されるので、終端しない場合のように信号の反射によるノイズが生じることがない。

【0098】上記第24の手段では、チップ キャリアと共にコンデンサフィルムが積層され、チップに通ずる電源とグラウンドの間に接続される。コンデンサフィルムはデカップリングキャパシタとして働き、集積回路の同時切替ノイズによる給電レベルの動揺を抑えるので、集積回路がノイズにより誤動作することがない。

【0099】上記第25の手段では、チップ キャリアと共に熱伝導基板が積層される。チップが発生した熱は熱伝導基板により拡散されるので、積層構造の中で局所的に温度が上昇して回路動作に支障を来すことがない。

【0100】

【実施例】以下、本発明の実施例を図面と共に説明する。

【0101】図1は、本発明による基本的なチップ接続構造の第1実施例を説明する断面図である。図1において、チップ接続構造1は、集積回路チップ10と配線基板20と接着フィルム30から構成されている。集積回路チップ10は、回路面を配線基板20の方に向けて、接着フィルム30によってフリップチップダイボンディング(FCDB)されている。チップ10の接続パッド12は、その直下から基板20と接着フィルム30を貫通するダイレクトスルーホールコネクション(DTC)40によって、基板20の配線21に接続されている。

【0102】チップ10は、集積回路とパッド11を形成したシリコンウエハを裏面から薄く加工し、これを切り出したものである(例えば厚さは50 $\mu$ mである)。

【0103】基板20は、1層の薄い配線フィルム(例えば厚さ50 $\mu$ m)であり、ポリマ材料の中でも特に低誘電率を有するポリイミドフィルムから成る。このフィルムには、シリコンに近い低熱膨張係数を有する材料が選択されている。フィルムの下面の配線21は、一般的な金属材料の中では最も抵抗率が小さい銅から成る。配線21は、エッチングまたは鍍金によって形成した。

【0104】接着フィルム30は、ポリイミドに高温流動性と熱硬化性を有するビスマレイミドをブレンドした薄いフィルム(例えば厚さ30 $\mu$ m)から成る。接着フィルム30は、FCDBを行なう前に基板20に予め張り合わされている。硬化後の接着フィルム30は、チップ10と基板20を密接に接着しており、チップ10と基板20より低い剛性率を有している。

【0105】DTC40は、基板20と接着フィルム30に加工されたスルーホールを銅鍍金によりメタライズして形成される。スルーホールの直径は、パッド11の

直径以下で、基板20の厚さの半分以上に成っている。

【0106】図2(A)から図2(E)までは、上記第1実施例の接続プロセスの一例を説明する断面図である。

【0107】図2(A)のプロセスでは、ウエハ50の薄型化を行なう。集積回路と入出力のための接続パッド11とが形成されたウエハ50が、裏面からポリッシングされる。研削部分51は回路動作に関与しない。薄型化のためには研削量が多い方が良いが、ウエハ50に加わる歪による信頼性の低下や取扱いの困難さを考慮して設定する。

【0108】図2(B)では、ウエハ50のダイシングを行なう。延性のある粘着フィルム52にウエハ50を軽く貼り付け、ダイシングソーによって所定のチップサイズに切る(図中の点線の箇所)。但し、粘着フィルム52は下まで切断しない。

【0109】図2(C)では、チップ10のセッティングを行なう。粘着フィルム52を加熱しながら図中の矢印の方向に引き延ばして、隣同士のチップ10の間に所定の隙間53を設ける。

【0110】図2(D)では、チップ10のFCDBを行なう。まず、予め、接着フィルム30を基板20に貼り付け、基板20と接着フィルム30を貫通するスルーホール41をドリルもしくはエキシマレーザ等により加工しておく(例えば直径は50 $\mu$ m)。次に、粘着フィルム52に張り付いたチップ10を基板20の上へ運び、パッド11とスルーホール41の位置合わせを行なう。最後に、ボンディングヘッド54を降下させてチップ10を接着フィルム30の表面に接触させ、加熱と加圧を行なう。接着フィルム30が一旦軟化して、チップ10と基板20の表面に十分に密着する(軟化しても予め加工したスルーホール41がつぶれないように、接着フィルム30の材料設計が行なわれている)。この後、接着フィルム30が硬化して、チップ10と基板20が密接に固定される。チップ10は粘着フィルム52から剥がれる。他のチップ10も、同様の方法で順番に基板20に固定してゆく。

【0111】図2(E)では、DTC40を形成する。まず、基板20に固定されたチップ10と、スルーホール41の周囲を除く配線21にレジスト55、56を塗布する。次に、基板20を鍍金溶液槽に浸漬し、無電解銅鍍金を行なう。予め前処理が施されたパッド11からアディティブに銅が成長し、スルーホール41を埋めて、配線21につながる。こうして、パッド11と配線21を接続するDTC40が、複数のチップ10において同時に一括して形成される。

【0112】図2(E)のプロセスの後、レジスト55、56を除去し、基板20をプレス、レーザカット等の方法を用いて切断することにより、図1に示した第1実施例のチップ接続構造1が完成する。

【0113】本第1実施例のチップ接続構造1によれば、DTC40がチップ10の直下で行なわれるので、WBやTABのような余分なボンディングエリアが不要になる。したがって、基板20へのチップ10の実装面積がその表面積に等しくなるので、WBやTABに比べてチップ接続構造の高密度実装が可能になる効果がある。

【0114】DTC40は薄い基板20と接着フィルム40の内部に形成されているので、それらの外部にはチップ接続のためのスペース(例えばWBのワイヤやFCSBのパンプ)が不要である。これに加えて、チップ10自身も回路動作に寄与しない部分を除去することにより薄く加工されているので、チップ接続構造を薄型化できる効果がある。

【0115】DTC40は、チップ10の表面に二次元的に形成することが可能である。また、基板20と接着フィルム40が薄型化されていることにより、直径とピッチを微細化しても容易にDTC40を形成できる。したがって、WBやTABに比べてチップ10に対して極めて多数の接続を実施できる上、実装面積が最小限まで低減されているので接続密度を格段に向上できる効果がある。

【0116】DTC40はパッド11と配線21を直結している。接続長がWBやTABに比べて極めて短くなるので、抵抗やインダクタンスが低減される。その上、DTC40が低抵抗材料から成り、基板20が低抵抗配線と低誘電率絶縁体から構成されているので、信号の伝播ディレイが短縮され、減衰が抑制される。したがって、従来より高速な信号伝送を行なえる効果がある。

【0117】チップ10はFCDBによって表面全体が基板20に接着されているので、チップ10と基板20の間に働く応力が分散される。また、チップ10と基板20の熱膨張係数が近接しているので、熱膨張差による応力はあまり生じない。さらに、接着フィルム30はチップ10や基板20に比べて柔らかい材料であるから、チップ10と基板20の歪みが吸収される。したがって、チップ10やDTC40に加わる応力が極めて抑制されるので、チップ接続構造の信頼性が向上する効果がある。

【0118】基板10及び接着フィルム30は、HDIのようにチップ上に積み重ねてゆくのではなく、大量生産用のために大型シートまたは長尺テープとして供給される。FCDBは、パッド11をスルーホール41に対して位置合わせして、加熱圧着するだけで簡便に行なうことができる。パッド11よりスルーホール41の直径が小さいので、位置合わせには余裕がある。DTC40は鍍金溶液槽に浸せば容易に形成することができ、TABやFCSBのパンプ形成における真空蒸着よりも大量のパッチ処理が可能である。スルーホール41のアスペクト比は2倍以下であるから、その内部への鍍金溶液の

循環が滞ることはなく、簡単に良好な鍍金を行なえる。したがって、チップ接続構造のアセンブリを低コスト化できる効果がある。

【0119】チップ接続構造1の検査は、配線21の一部に設けたパッド（図示されていない）をプロービングすることにより行なわれる。配線21が露出しているので、検査性が良い。信頼性試験は、チップ接続構造1に適したソケットを用いて簡便に実施できる。

【0120】以上述べたように、本第1実施例は、FCDBとDTCによって高密度実装、高性能、且つ低コストという三つの長を兼ね備えている。これは、従来技術であるWB、TAB、FCSB、HDIでは実現し得

なかったことである。

【0121】尚、本第1実施例はFCDBとDTCを重要な構成要件とするが、その他の構成要素やプロセスに関しては用途に応じて様々なバリエーションがある。

【0122】チップ10は、上記第1実施例に示したポリッシングの他、化学的なエッチングにより薄型化することができる。シリコン オン インシュレータ ウエハを用いて、インシュレータ層（二酸化珪素）の上のシリコン層に集積回路を形成した後に、インシュレータ層の下のパルク（シリコン）を水酸化カリウム溶液またはヒドラジン溶液によって除去する。インシュレータ層がエッチング ストップに成るので、シリコン層の集積回路は侵食されない。精密な厚さの制御を行なわずとも、シリコン層とインシュレータ層だけから成る極めて薄いチップが得られる。尚、当然ながら、厚さが許容される場合は必ずしも薄型化する必要はない。

【0123】チップ10の個数は上記第1実施例では1個であるが、基板上に複数個のチップを配列する、機能が異なるチップを組み合わせる等の方法により、マルチチップ モジュールを構成することができる。例えば、コンピュータ、ICカード、画像機器等の用途に応じて、アンプ、ドライバ、スイッチ、メモリ、デジタルシグナル プロセッサ、マイクロプロセッサ等のチップを基板に実装する。

【0124】基板20には、配線数、電気性能、機械強度等の要求によって、ガラスエポキシやビスマレイミド等のプリント配線基板、またはアルミナやムライト等のセラミック基板（コストは上がる）を用いることができる。配線材としては、抵抗率や基板20との接合強度を考慮に入れて、銅の他に金、銀、アルミ、タングステン、モリブデン等が選択される。配線形成方法は、鍍金やエッチングの他、導電ペーストのスクリーン印刷、蒸着等がある。上記第1実施例の接続プロセスではFCDBの前に予め配線のパターンニングを行なった基板を用いたが、前後のプロセスとの整合性や配線形成コスト等を考慮して、全面メタル張り基板を供給してDTCを形成した後にパターンニングする、メタル無し基板にDTCを形成した後から配線を形成する等の方法を探る場合が有

り得る。

【0125】また、上記第1実施例の基板20では、1層のフィルムの片面に配線21を設けている。さらに高速化が必要な場合は、配線21をコプレーナ線路にする。コプレーナ線路では、信号配線の両側に電源またはグラウンドの給電配線を設ける。これにより、特性インピーダンスを整合させ、クロストークを抑制できる。高速化と共に配線数を増やしたい場合には、基板の両面に配線を形成し、マイクロストリップ線路を構成する。すなわち、信号配線の上面または下面に参照面（電源またはグラウンド）を設ける。より配線本数が必要なる場合は、コストの上昇を認めた上で多層配線基板を用いることになる。

【0126】FCDBに用いる接着フィルム30には、ポリイミド系の他、エポキシ系フィルム等（廉価だが、誘電率はポリイミドより高い）も使用される。場合により、紫外線硬化型等の感光性樹脂が用いられる。上記第1実施例の材料は溶解性と熱硬化性に着眼して設計したが、使用目的に対応して接着性、耐熱性、柔軟性、形状精度、絶縁抵抗、誘電率、熱膨張係数、コスト等を考慮して選択する。接着フィルムの供給は、上記第1実施例のように基板に張り合わせる方法の他、塗布、印刷等の方法が採用される。

【0127】DTC40としては、銅の他、金、銀、アルミ、半田等が可能である。形成方法は、鍍金の他にスパッタ、蒸着、印刷等が可能であるが、コストに応じて使い分けられる。鍍金としては、無電解法の他、電極の取り出しが可能であれば電解法も取り入れられる。上記第1実施例ではFCDBの前に予め基板と接着フィルムへスルーホール41を加工したが、基板や接着フィルムの材料に応じて、FCDBの後にエッチングやレーザ加工等の方法によってスルーホールを形成し、DTCのメタライズを行なう場合がある。

【0128】このように、本第1実施例のチップ接続構造は、そのバリエーションと共に広範な用途に対して適応することができる。

【0129】図3は、本発明によるチップ接続構造の第2実施例を説明する断面図である。図3において、チップ接続構造100は、集積回路チップ110、111、112、113をハイブリッド集積化したマルチチップ モジュールである。このモジュールは、チップ110、111、112、113と配線基板120と接着フィルム130から構成されており、コネクタ170が接続され、ハウジング180に収納されている。

【0130】チップ110、111、112、113は、接着フィルム130を用いたFCDBにより、基板120に固着されている。それぞれのチップの接続パッド114は、基板120と接着フィルム130を貫通するDTC140によって、基板120の配線121、122に接続されている。配線121、122の一部は、

スルーホール コネクション141、入出力リード150、151を経て、コネクタ170のピン ソケット171、172に接続されている。

【0131】チップ110、111、112、113はプロセッサやメモリ等から成る。各チップは背面を薄く加工されており、均等な厚さを有している。基板120は、薄いガラス エポキシ フィルムから成り、フィルムの両面に銅配線121、122が形成されている。接着フィルム130はエポキシ系接着剤から成る。DTC140及びスルーホール コネクション141は、銅鍍金により同時に形成されている。

【0132】チップ110、111、112、113の背面とその周囲の接着フィルム130には、樹脂から成る被覆160、161、162、163が施されている。被覆の形成方法は、モールディングまたはポッティング等による。チップ110、111、112、113はこれらの被覆により気密封止されている。

【0133】本第2実施例のチップ接続構造100によれば、被覆160、161、162、163によりチップ110、111、112、113の気密封止が行なわれ、リード150、151によりこれらのチップの入出力が行なわれる。したがって、チップ毎に個別にパッケージングを行なうことなく、マルチチップ モジュールを簡便に構成し得る効果がある。

【0134】また、チップ110、111、112、113、基板120、及び接着フィルム130が薄膜から成るので、本第2実施例のチップ接続構造100は、特に薄型化が必要なカード、シート形状のパーソナルな情報機器にとって適している。

【0135】尚、気密封止に関して、DTC140の近傍の信頼性をさらに向上する必要がある場合には、基板120のチップ110、111、112、113とは反対側に被覆を設ける、または基板120とチップ110、111、112、113の全体を取り囲む等の方策を採る。

【0136】本第2実施例では入出力リード150、151としてリード フレームを用いたが、ピンやソルダボールに変更することが可能であり、マザー ボードに接続されるドーター カードのように基板120自体にリード配線部を設ける場合がある。

【0137】図4は、本発明によるチップ接続構造の第3実施例を説明する断面図である。図4において、チップ接続構造200は、チップ210-1～n (nは層数、以下も同様)を積層集積化したマルチチップ モジュールであり、主としてチップキャリア250-1～n、接着フィルム260-1～n、パッケージ ベース280、入出力ピン290、被覆300から構成されている。

【0138】チップ キャリア250-1～nは、接着フィルム260-1～n-1によって互いに固着され、

接着フィルム260-nによってパッケージ ベース280に固着されている。チップ キャリア250-1～n同士の層間接続、それらとパッケージ ベース280との接続は、チップ キャリア250-1～nとパッケージ ベース280を貫通するスルーホール コネクション270によって行なわれている。スルーホール コネクション270は、パッケージ ベース280の配線281を経て入出力ピン290に接続されている。

【0139】チップ キャリア250-1は、チップ210-1と配線基板220-1と接着フィルム230-1から構成されている (2～n層も同様の構成である)。チップ210-1の基板220-1へのFCDBには、接着フィルム230-1が用いられている。チップ210-1の接続パッド (図中省略) は、基板220-1と接着フィルム230-1を貫通するDTC240-1によって、基板220-1の配線 (図中省略) に接続されている。この配線は、スルーホール コネクション270と配線281を経て、入出力ピン290に接続されている。

【0140】チップ接続構造200を薄型化するため、チップ210-1～nはポリッシングまたはエッチングにより加工されている。基板220-1～nと接着フィルム230-1～n、260-1～nには薄いフィルム部材が用いられており、低誘電率のポリイミド系材料から成る。パッケージ ベース280は、ビスマレイミド系樹脂から成る薄型多層基板である。基板2200-1～nの配線、パッケージ ベース280の配線281、DTC240-1～n、スルーホール コネクション270は低抵抗の銅から成る。配線281に接続されている入出力ピン290は、ピン数を多く取り出すため、ソルダのボール グリッド アレイにより構成している。チップ キャリア250-1～nと基板280の一部を覆う被覆300には、モールド封止用樹脂を用いている。

【0141】図5 (A) から図5 (E) までは、上記第3実施例の積層接続プロセスの一例を説明する断面図である。

【0142】図5 Aのプロセスの前に、個々のチップ キャリア250-1～nは、上記第1実施例に示した方法に類するプロセスにより、予めチップ210-1～nのFCDBを行ないDTC240-1～nを形成してある。必要に応じて、チップキャリア250-1～nをソケットに装着して、信頼性検査を行なっておく。

【0143】図5 (A) のプロセスでは、チップ キャリア250-1～nとパッケージベース280を積層して接着する。まず、チップ キャリア250-1～n同士の間に接着フィルム260-1～n-1を挟み、チップ キャリア250-nとパッケージ ベース280の間に接着フィルム260-nを挟み込んで、重ね合わせる。次に、加熱及び加圧を行なうことにより、接着フィ

ルム260-1~nをチップ キャリア250-1~nとパッケージ ベース280に密着させて硬化させ、これらを一括して固着する。

【0144】図5(B)では、スルーホール271を加工する。基板220-1~nの配線と配線281の所定の位置において、積層接着したチップ キャリア250-1~nとパッケージ ベース280(積層体)を上下に貫通するスルーホール271を、ドリルまたはレーザによって加工する。

【0145】図5(C)では、スルーホール コネクション270を形成する。積層体を銅鍍金溶液槽に浸漬し、スルーホール コネクション271に銅鍍金を行なう。鍍金が不要な箇所には、予めレジストを塗布しておく。このようにして、チップキャリア250-1~nの層同士の間、それらとパッケージ ベース280との間を接続するスルーホール コネクション270が一括して形成される。上記第3実施例では、積層体が薄型化されていることにより、スルーホール コネクション270の直径を小さくしてもアスペクト比が大きくなるので、鍍金が容易である。

【0146】図5(C)のプロセスの後、積層体を鋳型に入れて、被覆300によってモールドする。最後に、入出力ピン290を構成するソルダ ボールを配列治具を用いて供給し、パッケージ ベース280に接続することにより、図4に示した第3実施例のチップ接続構造200のパッケージングが完了する。チップ接続構造200は、この後にボール グリッド アレイ用ソケットに装着され、バーンイン試験等の検査が施される。

【0147】以上述べた本第3実施例のチップ接続構造200によれば、チップ210-1~nを接着フィルム260-1~nによって三次元的に積層し、DTC240-1~nとスルーホール コネクション270によって互いに接続することができる。DTC240-1~nはチップ210-1~nの直下に形成されており、これらのために面積を費やすことはない。スルーホール コネクション270は直径が小さいので、チップ210-1~nの周辺の面積は最小限に抑えられる。また、チップ210-1~nとともに基板220-1~n、接着フィルム230-1~n、260-1~n、パッケージ ベース280の薄型化が図られている。したがって、面積及び厚さすなわち体積当たりのチップ実装密度が格段に向上する効果がある。

【0148】DTC240-1~nは、基板220-1~nと接着フィルム230-1~nが薄いことにより、チップ210-1~nの接続パッドと基板220-1~nの配線を小径且つ狭ピッチで接続することができる。また、スルーホール コネクション270は、チップキャリア250-1~nと接着フィルム260-1~nとパッケージ ベース280が薄いことにより、直径とピッチを狭められる。さらに、パッケージ ベース28

0の底面から、二次元的に高密度に配列されたボールグリッド アレイにより入出力ピン290を取り出すことができる。したがって、本第3実施例により、チップ及びパッケージとして入出力数を増大できる効果がある。

【0149】DTC240-1~nの接続長は極めて短い。さらに、スルーホール コネクション270の高密度接続により、DTC240-1~nからスルーホール コネクション270までの基板220-1~nの配線長を短くすることが可能である。また、基板220-1~nと接着フィルム230-1~n、260-1~n及びパッケージ ベース280は低誘電率材料から成り、基板220-1~nの配線、配線281、DTC240-1~n、スルーホール コネクション270は低抵抗材料から成る。したがって、配線と接続に伴う抵抗、インダクタンス、及び容量を低減することができるので、本第3実施例は信号を高速に伝播できる効果を奏する。

【0150】接着フィルム230-1~n、260-1~nは比較的柔軟な材料から成るので、チップ210-1~nと基板220-1~nの間、チップ キャリア250-1~n同士の間、チップ キャリア250-nとパッケージ ベース280の間、それぞれに生じる歪みが吸収される。したがって、DTC240-1~nやスルーホール コネクション270へ応力が集中することがないので、チップ接続構造200の信頼性が高まる効果がある。

【0151】チップ接続構造200を構成する材料は、何れも一般的に市場に出回っているものである。また、チップ キャリア250-1~n自体の接続プロセスは、上述した第1実施例と同様に、パッチ処理によって行なわれる。チップ キャリア250-1~nの積層接続プロセスでは、接着フィルム260-1~nにより同時に多層の接着が行なわれ、鍍金によりスルーホール コネクション270が一括して容易に形成される。したがって、チップ接続構造200のアセンブリは、高価な材料と設備を要せず簡便且つ大量に行なえるので、コストの消費を極めて低く抑制できる効果がある。

【0152】以上述べたように、本第3実施例は、チップ キャリアにおけるFCDBとDTC、そしてチップ キャリアの積層固着とスルーホール コネクションによって、従来のWB、TAB、FCSB、HDIにはない多ピン高密度実装、高速信号伝送、高信頼性、低コストを実現し得るチップ接続構造を提供するものである。何故なら、WBとTABではチップの周囲に要する面積が大きい、WBとFCSBでは1層の厚さが大きくなる、TABとFCSBと特にHDIでは元来1層の製作コストがかかる、等の理由による。

【0153】尚、本第3実施例は、様々な機能を有するチップに対して用いられ、用途に応じて構成をブラッシュアップすることができる。

【0154】チップの配列方法に関して、上記第3実施例では各層のチップ キャリア250-1~nに1個ずつチップ210-1~nが搭載されている。これをさらに拡張して、チップ キャリアに同種または異種の複数のチップを配置する、異なる層に機能を振り分ける等のマルチチップ モジュール構成が可能である。

【0155】接着フィルム260-1~nは、ここでは取扱いを簡便にするために固形として供給されているが、設備が整っていれば液体接着剤をフィルム状に塗布または注入することにより、チップ キャリア250-1~nを積層することができる。硬化した接着剤は接着フィルムと同等の機能を有するので、本第3実施例に類するチップ接続構造が実現される。

【0156】接着フィルム260-1~nの材料は、ポリイミドを基材とするブレンド ポリマであるが、接着性以外の機能を追加することができる。例えば、高熱伝導、低熱膨張の絶縁材料から成るフィラーを混入することにより、チップ210-1~nの放熱を助け、これらと基板220-1~nの間に働く熱応力を低減することが可能になる。接着フィルムの材料設計は、この他にも、耐熱性、気密封止等を考慮して行なわれる。

【0157】スルーホール コネクション270は、プリント配線基板の製作プロセスで一般的に行なわれている方法と同様にして鍍金により形成されている。他の方法として、形状、電気的性能、コスト等の条件が折り合う場合は、印刷、充填、蒸着等を実施することが可能である。

【0158】本第3実施例では、スルーホール コネクション270がチップ キャリア250-1~nと同時にパッケージ ベース280を貫通し、配線281に接続されている。他の方法として、チップ キャリア同士の接続にはスルーホール コネクションを用い、積層したチップ キャリアからパッケージ ベースへの接続には従来技術のWB、TABまたはFCSB等を併用する場合がある。積層体の各層毎にではなく全体に対して1回だけ従来技術を用いるのであれば、実装密度や性能が極端に低下し、コスト負担が過重になることを避けられる。

【0159】入出力ピンの取り出し方として、本第3実施例ではチップ キャリア250-1~nからパッケージ ベース280を仲介して入出力ピン290に接続しているが、パッケージ ベースを用いずに直接入出力ピンを取り出すことも可能である。例えば、積層したチップ キャリア250-1~nの周囲にリード フレームを設け、スルーホール270の近傍の基板250-1の配線からリードへ直接WBを行ない、モールド樹脂等を用いてチップ キャリアとリードの一部に被覆を施すことにより、パッケージングすることができる。他の例では、DTCとスルーホール コネクションの配置や封止方法に配慮した上で、積層したチップキャリア250-

1~nの基板250-1の表面から直接ソルダ ボールグリッド アレイやピン グリッド アレイを取り出すことも可能である。

【0160】気密封止を行なう被覆300は、モールドイングにより形成されているが、モジュールの使用条件に応じて塗布やポッティング等を採用する場合がある。被覆300の代わりに、コストはかかるが、積層したチップ キャリア250-1~nをセラミック パッケージに封止することもある。場合によっては、被覆300を施さずに、接着フィルム260-1~nによる封止だけで済ませることも十分に可能である。

【0161】以上のように、本第3実施例のチップ接続構造による積層マルチチップ モジュールは、基本構造にバリエーションを加えることによって、様々な使用条件を有する応用先に対して大いなる効果を発揮するものである。

【0162】例えば応用例として、コンピュータの主記憶向けに大容量且つ小型のメモリモジュールを構成することができる。上記第3実施例のチップ250-1~nには、ダイナミック ランダム アクセス メモリを用いる。この場合、層数nは4または8、またはこれに1乃至2層を加えることが多い。

【0163】チップ キャリア250-1~nの層間接続を行なうスルーホール コネクション270は、データ入出力、アドレス入力、給電等のために使用される。スルーホール コネクション270の殆どは各層の基板220-1~nの配線に共通に接続されるが、一部（少なくともlog<sub>2</sub>n本）はチップ250-1~nをセレクトするために個別に接続される。これに対応して、各々の基板220-1~nの配線パターンの一部は、配線形成時または形成後のカッティングにより変更される。こうして、個々のチップ250-1~nへの独立したアクセスが可能になる。

【0164】また、チップ250-1~nへの入力信号の反射を抑制するため、終端抵抗回路チップを追加してチップ キャリア250-1~nと同様に積層することができる。これにより、使い易いメモリ モジュールが構成される。

【0165】他の応用例として、コンピュータのプロセッサ モジュールを図6を用いて説明する。図6は、本発明によるチップ接続構造の第4実施例を説明する断面図を示す。チップ接続構造400は、チップ410、411-1~n（nは層数、以下も同様）を積層集積化したマルチチップ モジュールであり、チップ キャリア450、451-1~n、熱伝導基板510、コンデンサ フィルム511、接着フィルム460、461-1~n、462、463、パッケージ ベース480、入出力ピン490、被覆500から構成されている。

【0166】チップ キャリア450、451-1~n、熱伝導基板510、コンデンサフィルム511、パ

パッケージ ベース480は、接着フィルム460、461-1~n、462、463によって互いに固着されている。チップ キャリア450、451-1~n、コンデンサ フィルム511、パッケージ ベース480は、これらを通するスルーホール コネクション470によって互いに接続されている。スルーホール コネクション470は、パッケージ ベース480の配線481を経て入出力ピン490に接続されている。

【0167】チップ キャリア450、451-1~nは、それぞれ、チップ410（1個）、411-1~n（各層4個ずつ）と基板420、421-1~nと接着フィルム430、431-1~nから構成されている。チップ410、411-1~nのFCDBは、接着フィルム430、431-1~nにより行なわれている。チップ410、411-1~nの接続パッド（図中省略）は、基板420、421-1~nと接着フィルム430、431-1~nを通するDTC440、441-1~nによって、（図中省略）に接続されている。基板420の配線層は、基板421-1~nの配線層に比べて多い。これらの配線は、スルーホールコネクション470を経て、互いに他のチップ キャリア450、451-1~nやパッケージ ベース480に接続されている。

【0168】熱伝導基板510は、チップ410に熱膨張係数がほぼ等しく、高い熱伝導率を有するセラミクスから成る（例えば窒化アルミ）。熱伝導基板510とチップ410は、熱伝導性を高めた接着フィルム460によって固着されている。

【0169】コンデンサ フィルム511は、高誘電率材料（例えばタンタル オキサイド）から成る。コンデンサ フィルム511の両面はメタライズされており、それぞれ、配線281とスルーホール コネクション470を介して入出力ピン490の電源とグランドに接続されている。

【0170】パッケージ ベース480は多層プリント配線基板から成り、その底面にはソルダのボール グリッド アレイから成る入出力ピン490が設けられている。パッケージ ベース480、チップ キャリア450、451-1~n、熱伝導基板510、コンデンサ フィルム511は、側面を被覆500によって取り囲まれて、気密封止されている。

【0171】チップ接続構造400の積層接続とパッケージングのプロセスは次のように容易に行なわれる（主要な部分は上記第3実施例とほぼ同様であり、コストが抑えられていることは言うまでもない）。まず、チップ キャリア450、451-1~nの個々のアセンブリを行なう。次に、これらとコンデンサ フィルム511とパッケージ ベース480の間に接着フィルム460、461-1~n、462、463を挟み、積み重ねて接着する。こうして固着された積層体へスルーホール

コネクション470を形成した後、積層体に接着フィルム460によって熱伝導基板510を固定する。最後に、積層体の周囲に被覆500をモールドしてから、入出力ピン490を供給する。

【0172】本第4実施例では、例えばチップ410をマイクロプロセッサ、チップ411-1~nをスタティック ランダム アクセス メモリとして、高性能のプロセッサ モジュールを構成することができる。スタティック ランダム アクセスメモリはレベル2キャッシュとして用いられる。

【0173】レベル2キャッシュは、マイクロプロセッサからDTC440、基板420、スルーホール コネクション470、基板421-1~n、DTC441-1~nを介してアクセスされる。アクセスのレイテンシは、マイクロプロセッサとレベル2キャッシュが近接していることにより配線長及び接続長が短くなるので、非常に削減される。アクセス幅は、チップ キャリア450、451-1~nが薄型化されていることによりDTC441-1~nとスルーホール コネクション470が狭ピッチ化され、接続数を多く取り出せるので、極めて広くすることができる。

【0174】マイクロプロセッサまたはレベル2キャッシュとモジュール外部との入出力信号は、DTC440、441-1~n、基板420、421-1~n、スルーホール コネクション470、基板480、入出力ピン490を介して伝送される。出力回路の同時切替電流ノイズによる電源電圧変動は、コンデンサ フィルム511がデカップリング キャパシタとして働くので、誤動作を生じないノイズレベルにまで低減される。

【0175】マイクロプロセッサ（チップ410）は、レベル2キャッシュを構成するチップ411-1~nに比べて特に発熱量が多い。マイクロプロセッサの発生した熱は、主として、基板420側の表面からチップ410の内部を伝わり、接着フィルム460を経て、熱伝導基板510へ逃げる。熱伝導基板510に空冷フィンやグリース等で固定する、または熱伝導基板510自体にフィン構造を加工することにより、マイクロプロセッサを効率的に冷却することができる。レベル2キャッシュの発熱は、DTC441-1~n（サーマル スルーホール）と基板421-1~nとスルーホール コネクション470を伝わり、一部は熱伝導基板510側から、一部は入出力ピン490側から放熱される。

【0176】本第4実施例に示すチップ接続構造400によれば、低コストという特長に加えて、高密度積層実装、高速データ転送、及び高効率冷却を行なえるので、コスト/パフォーマンスの良いコンパクトなプロセッサ モジュールを提供することができる。

【0177】

【発明の効果】本発明の上記第1の手段に基づく基本的なチップ接続構造では、FCDBによって集積回路チップ

ブと配線基板が固着され、DTCによってチップの接続パッドと基板の配線が直結される。これにより、上記第1の手段は、面積と厚さの低減によりチップを高密度に実装し、微細な二次元アレイ接続によりチップに対して多数且つ高密度の入出力を行ない、チップに直結する短いインターコネクションにより高速な信号を伝送し、応力集中を避けて高い信頼性を保証し、簡易なプロセスと設備により低コストのアセンブリを行なえる効果を奏する。これらの効果は、従来技術であるWB、TAB、FCDB、及びHDIの何れもが兼備し得なかったものであり、本発明のチップ接続構造が従来技術を超える高い実用性を供することは明白である。

【0178】上記第2の手段によれば、パッドの直下から基板を貫通して、パッドと基板の配線を直接接続する多数のDTCが簡便な鍍金により一括して形成されるので、パッチ処理によりプロセススループットが向上し、設備コストが削減される効果がある。

【0179】上記第3の手段によれば、一般的な工業材料であり、材料設計の選択肢が広いポリマが基板に用いられ、チップと基板のFCDBに用いられる接着フィルムにも同じく汎用的なポリマが用いられるので、インフラストラクチャへの投資が削減され、広範な仕様に対応できる効果がある。

【0180】上記第4の手段によれば、FCDBプロセスの前に固形の接着フィルムが供給され、簡易な加熱によってFCDBが実施されるので、取扱い及びプロセス管理が簡便になり、コストが削減される効果がある。

【0181】上記第5の手段によれば、DTCのためのスルーホールとチップの接続パッドとの位置合わせのトレランスが拡大され、DTCの短絡やパッド近傍の劣化を防止できるので、歩留まりが向上する効果がある。

【0182】上記第6の手段によれば、基板を貫通する微細なDTCのメタライゼーションが容易になるので、プロセスが簡便になり、DTCの接続不良が低減され、歩留まりが向上する効果がある。

【0183】上記第7の手段によれば、低誘電率のポリイミド基板を通る、低抵抗の銅から成る配線とDTCによって信号が伝送されるので、伝播ディレイが短縮され、波形の劣化が防止されて、高速化される効果がある。

【0184】上記第8の手段によれば、チップと基板の熱膨張差に起因する熱応力が低減されるので、FCDBにおける接着やDTCにおける接続に関して温度変動に対する長期的な信頼性が向上する効果がある。

【0185】上記第9の手段によれば、チップと基板に加わる熱応力や外部応力が接着フィルムによって緩和されるので、FCDBやDTCにおける不良の発生を抑止できる効果がある。

【0186】上記第10の手段によれば、より大型の廉価な1層基板に対して多数のチップのFCDBを実施で

き、より微細なDTCを狭ピッチで形成できるので、大量生産が可能となり、設備投資の早期償却を行なえる効果がある。

【0187】上記第11の手段によれば、チップと反対側の基板表面に形成されたコプレーナ伝送線路によって高速な信号伝送が可能となる上、配線が露出していることにより検査性が向上する効果がある。

【0188】上記第12の手段によれば、基板両面に形成されたマイクロストリップ伝送線路によって、より多数本的高速信号伝送を行なえる効果がある。

【0189】上記第13の手段によれば、多層配線基板を用いることにより、コストは若干かかるものの、配線密度及びDTCの接続密度に関してより裕度の高いチップ接続構造を提供できる効果がある。

【0190】上記第14の手段によれば、チップの回路動作に寄与しない部分が除去されていることにより、チップ接続構造の実装面積のみならず実装体積としての密度が向上する効果がある。

【0191】上記第15の手段によれば、シリコンオンインシュレータウエハのインシュレータ層がエッチングストッパとして働くので、チップにダメージを与えることなく、極薄型のチップ接続構造が得られる効果がある。

【0192】上記第16の手段によれば、簡便なる被覆によってチップが封止されるので、別途パッケージを備えずに部品点数が削減でき、チップ接続構造の信頼性が向上する効果がある。

【0193】上記第17の手段に基づく積層チップ接続構造では、チップがFCDBとDTCによってチップキャリア基板に接続され、接着フィルムによって積層されたチップキャリアがスルーホールコネクションによって互いに接続される。これにより、上記第17の手段は、積層マルチチップ化と薄型化により実装密度を大幅に向上し、微細なチップ接続と層間接続により多数且つ高密度の入出力を取り出し、チップに密接したインターコネクションにより信号伝送を高速化し、チップ及びキャリア間に加わる応力の分散により信頼性を向上し、工業生産的な積層プロセスによりモジュールアセンブリの低コスト化を実現する効果を奏する。これらの効果は、従来技術のWB、TAB、FCDB、及びHDIによる積層構造では実現し得ないものである。

【0194】上記第18の手段によれば、簡便な被覆により気密封止されたパッケージの底面から二次元的に多数の入出力ピンを取り出せるので、積層チップ接続構造のピン密度と信頼性が向上する効果がある。

【0195】上記第19の手段によれば、廉価なプリント基板に配列されたボールグリッドアレイによって、より多数の入出力ピンを容易に取り出せるので、コストの低減とピン密度の向上に効果がある。

【0196】上記第20の手段によれば、パッケージ



ベースを用いることなく入出力リードを取り出せるので、部品点数が削減され、極薄型の積層パッケージが行える効果がある。

【0197】上記第21の手段によれば、積層したメモリチップ間のアドレス、データ、給電等の配線が小面積のスルーホールコネクション領域を通じて行われ、大容量且つ小型のメモリモジュールを構成できる効果がある。

【0198】上記第22の手段によれば、マイクロプロセッサの直近にメモリが積層されて配置されるので、アクセスの高速且つ大容量化が可能となり、高性能且つ小型のプロセッサモジュールを構成できる効果がある。

【0199】上記第23の手段によれば、積層接続された終端抵抗回路チップによりチップへの入力信号が終端されるので、反射ノイズによる回路のエラーを防止することが可能である。

【0200】上記第24の手段によれば、積層接続されたコンデンサフィルムが電源ラインのデカップリングキャパシタとして作用するので、チップの同時切替ノイズによる電源電圧の変動を抑制できる効果がある。

【0201】上記第25の手段によれば、チップとともに積層された熱伝導基板によりチップが冷却されるので、温度上昇によるチップの動作不良を避けることができる効果がある。

#### 【図面の簡単な説明】

【図1】本発明による基本的なチップ接続構造の第1実施例を説明する断面図である。

【図2】上記第1実施例の接続プロセスの一例を説明する断面図である。

【図3】本発明によるチップ接続構造の第2実施例を説明する断面図である。

【図4】本発明によるチップ接続構造の第3実施例を説

明する断面図である。

【図5】上記第3実施例の接続プロセスの一例を説明する断面図である。

【図6】本発明によるチップ接続構造の第4実施例を説明する断面図である。

【図7】従来技術によるチップ接続構造の代表例を説明する断面図である。

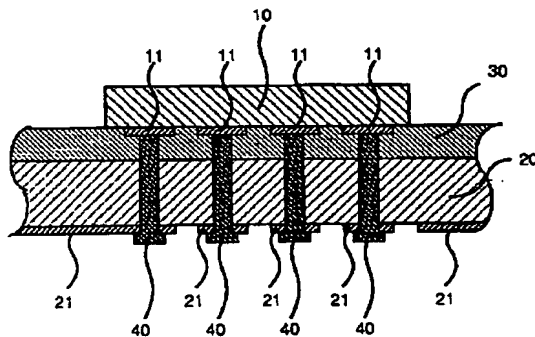
#### 【符号の説明】

1、100、200、400…チップ接続構造  
10、110、111、112、113、210-1～n、410、411-1～n、710、720、730、740…集積回路チップ  
11、114、711、713…接続パッド  
20、120、220-1～n、420、421-1～n、714、726、734、748…配線基板  
21、121、122、481、281、743、745…配線  
30、130、230-1～n、260-1～n、430、431-1～n、460、461-1～n、462、463…接着フィルム  
40、240-1～n、440、441-1～n…ダイレクトスルーホールコネクション  
250-1～n、450、451-1～n…チップキャリア  
270、470…スルーホールコネクション  
280、480…パッケージベース  
150、151…入出力リード  
290、490…入出力ピン  
160、161、162、163、300、500…被覆  
510…熱伝導基板  
511…コンデンサフィルム

【図1】

図1

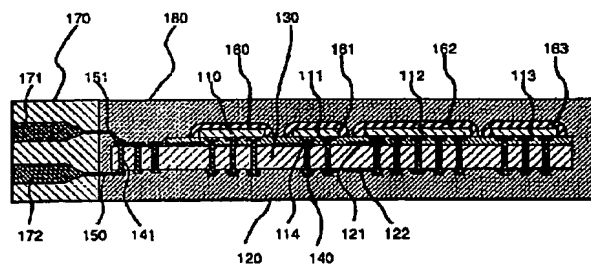
1



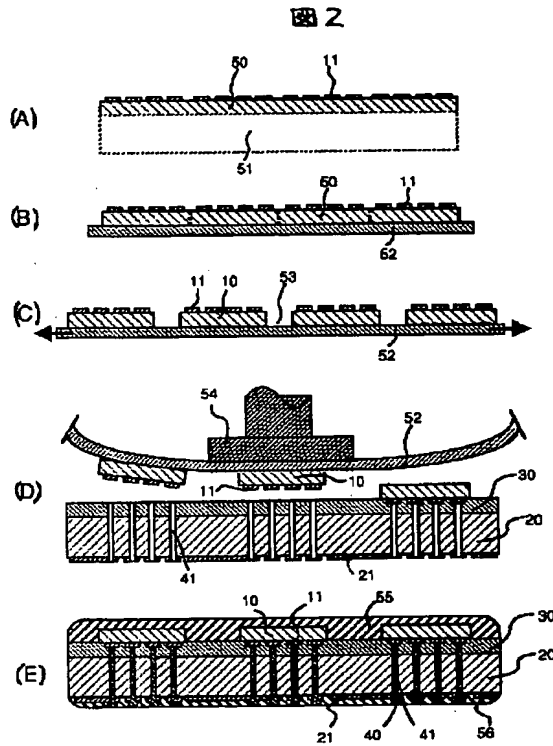
【図3】

図3

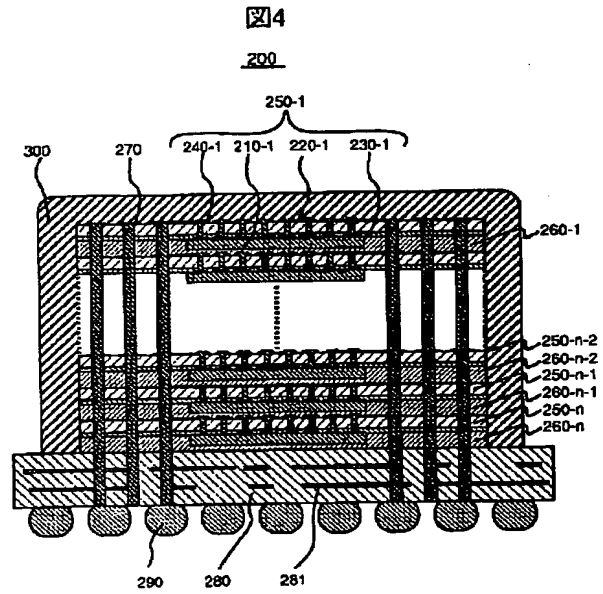
100



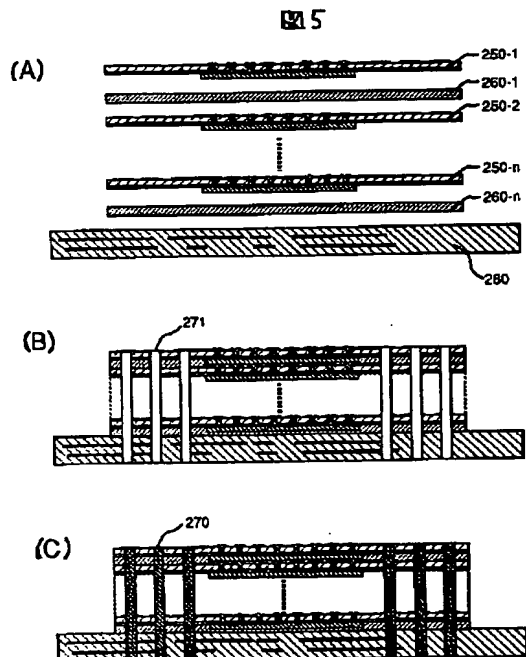
【図2】



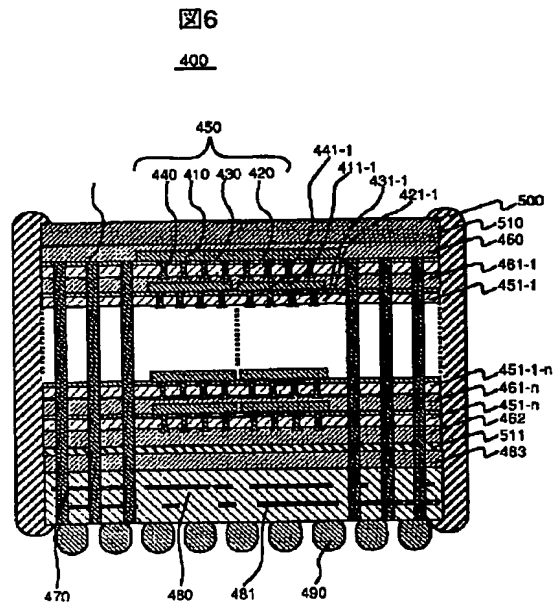
【図4】



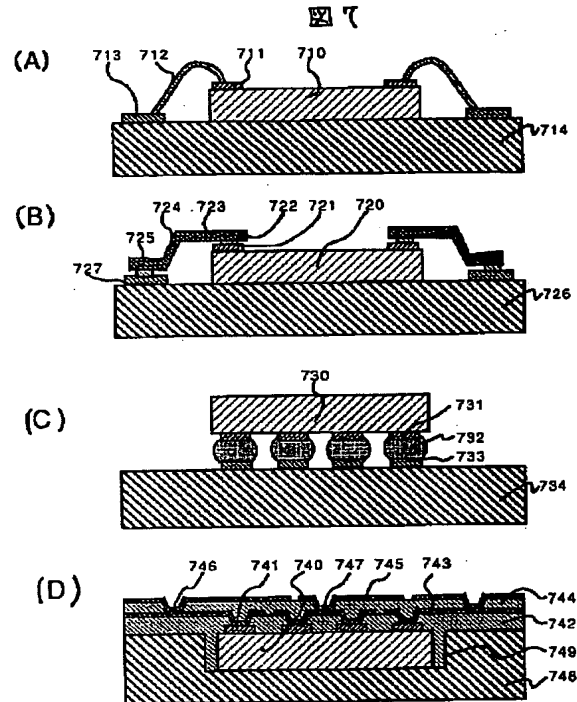
【図5】



【図6】



【図 7】



フロントページの続き

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 1/18		L 8718-4E		
		Z 8718-4E		
// H 0 5 K 1/11		H 7511-4E		

(72)発明者 柳生 正義  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内

(72)発明者 藤田 祐治  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内  
(72)発明者 宇佐美 光雄  
東京都国分寺市東恋ヶ窪 1 丁目 280 番地  
株式会社日立製作所中央研究所内